

esp@cenet Family list view

Family list

1 family member for:

JP8063969

Derived from 1 application.

1 **SEMICONDUCTOR STORAGE DEVICE**
Publication info: **JP8063969 A - 1996-03-08**

Data supplied from the **esp@cenet** database - Worldwide

esp@cenet document view

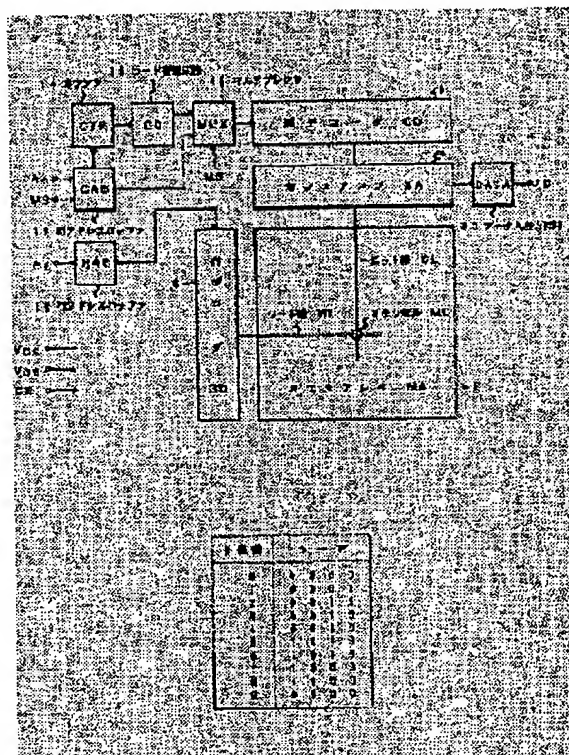
SEMICONDUCTOR STORAGE DEVICE

Patent number: JP8063969
Publication date: 1996-03-08
Inventor: OUCHI KAZUNORI
Applicant: TOKYO SHIBAURA ELECTRIC CO
Classification:
- international: G11C11/41; G11C11/408; G11C16/06
- european:
Application number: JP19940195812 19940819
Priority number(s): JP19940195812 19940819

Report a data error here

Abstract of JP8063969

PURPOSE: To reduce power consumption required for serially accessing a memory cell array by converting a first address sequence generated by the use of an address sequence generation circuit to a specified second address list using a code conversion circuit.
CONSTITUTION: A first address sequence which is supplied from the counter 14 to serially access the memory array 2 is converted into the code of the second address sequence in which the hamming distance of the neighboring address is 1 using the code conversion circuit 16, and the columns of the memory array 1 are accessed through the column decoder 8. By this conversion process, only one bit changes its state when an address composed of two or more bits is switched, and the power consumption required for address switching is minimized. In addition, this method can be similarly applied to the row direction or both the row and the column directions, too.



Data supplied from the esp@cenet database - Worldwide

引用文献 2

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-63969

(43)公開日 平成8年(1996)3月8日

(51)Int.Cl.⁸G11C 11/41
11/408
16/06

識別記号

庁内整理番号

F1

技術表示箇所

G11C 11/34 301 D
354 B

審査請求 未請求 請求項の数4 OL (全7頁) 最終頁に続く

(21)出願番号 特願平8-195812

(22)出願日 平成6年(1994)8月19日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 大内 和則

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

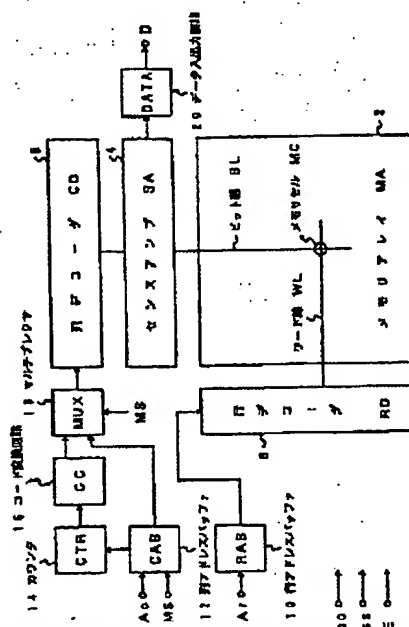
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 半導体記憶装置

(57)【要約】

【目的】 シリアルアクセスの際にアドレス切り替えに要する消費電力を小さくすることができる半導体記憶装置を提供することを目的とする。

【構成】 本発明では、与えられたアドレスに従い複数のメモリセルのうち所定のものを選択してアクセスする半導体記憶装置において、前記複数のメモリセルをマトリクス状に配置してなるメモリセルアレイ2と、前記メモリセルを順次アクセスするためのバイナリコードで表された第1のアドレスの系列を発生するアドレス系列発生回路と14、前記第1のアドレスの系列を、隣接するアドレスのハミング距離が1である第2のアドレスの系列に変換するコード変換回路16とを備えたことを特徴とする。このコード変換回路は、列アドレスおよび行アドレスのいずれか一方に適用しても良いし、両方に適用しても良い。



(2)

特開平8-63969

2

【特許請求の範囲】

【請求項1】複数のメモリセルをマトリクス状に配置してなるメモリセルアレイを備え、前記メモリセルアレイをあらかじめ決められた順序のアドレスの系列に従ってアクセスする半導体記憶装置において、前記アドレスの系列が、隣接するアドレスのハミング距離を1とするコードの系列で表されたことを特徴とする半導体記憶装置。

【請求項2】与えられたアドレスに従い複数のメモリセルのうち所定のものを選択してアクセスする半導体記憶装置において、

前記複数のメモリセルをマトリクス状に配置してなるメモリセルアレイと、

前記メモリセルを順次アクセスするためのバイナリコードで表された第1のアドレスの系列を発生するアドレス系列発生回路と、

前記第1のアドレスの系列を、隣接するアドレスのハミング距離が1である第2のアドレスの系列に変換するコード変換回路とを備えたことを特徴とする半導体記憶装置。

【請求項3】前記第2のアドレスの系列を列アドレスまたは行アドレスとして入力し、該アドレスを順次切り替えて前記メモリセルをアクセスする回路をさらに備えたことを特徴とする請求項2記載の半導体記憶装置。

【請求項4】前記アドレス系列発生回路および前記コード変換回路は、バイナリコードで表された列アドレスおよび行アドレスに対応して夫々働くとともに、バイナリコードで表された列アドレスに対応する前記コード変換回路の出力を列アドレスとして入力し、該列アドレスを順次切り替えて前記メモリセルをアクセスする回路と、バイナリコードで表された行アドレスに対応する前記コード変換回路の出力を行アドレスとして入力し、該行アドレスを順次切り替えて前記メモリセルをアクセスする回路とをさらに備えたことを特徴とする請求項2記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体記憶装置に係わり、特に消費電力を少なくできることを特徴とする半導体記憶装置に係わる。

【0002】

【従来の技術】携帯型の情報機器等の発達により、半導体記憶装置の低消費電力化への要求はますます高まっている。特に、DRAMのシリアルアクセスモード、あるいはフラッシュメモリのページモードなど行方向や列方向に順次アドレスを切り替えてデータを連続して読み出したり書き込んだりするシリアルアクセス・モードを用いる半導体記憶装置のように高速化を狙ったものに

分を表した模式図である。この半導体記憶装置は、データ読み出しにおいては、ランダムアクセス・モードとシリアルデータ読み出しモードを有し、制御信号MSにて切り替えて使用できるものとする。

【0004】メモリセルアレイ(MA)102は、基本的には複数のワード線WL、複数のビット線BL、ワード線WL及びビット線BLの各交点に配置された複数のメモリセルMCから構成される。

【0005】外部から行アドレスArが行アドレスバッファ(RAB)110に与えられ、これが行デコーダ(RD)106に送られ、アドレスに対応したワード線WLが活性化される。この活性化されたワード線WLに接続されたメモリセルMCのデータが夫々対応したビット線BLに読み出され、夫々のビット線BLのセンスアンプ(SA)104に検出されラッチされる。

【0006】ランダムアクセスモードでは、列アドレスバッファ(CAB)112に外部入力された列アドレスAcは、マルチプレクサ(MUX)118を介して列デコーダ(CD)108に送られ、対応するビット線BLのセンスアンプ(SA)104にラッチされたデータがデータ線に送られ、データ入出力回路(DATA)120から外部に読み出される。

【0007】シリアルデータ読み出しモードでは、列アドレスバッファ(CAB)112に外部入力された列アドレスAcは、カウンタ(CTR)114に送られ、カウンタ(CTR)114の初期値としてセットされる。カウンタは(CTR)114、例えば外部から入力されるクロック信号CEに同期して動作しアドレスをカウントアップする。カウンタ(CTR)114によりカウントアップされたアドレスは、マルチプレクサ(MUX)118を介して順次列デコーダ(CD)108に供給され、このアドレスに対応したセルMCのデータが順次読み出されていく。

【0008】このような従来の半導体記憶装置において、上記したカウンタの出力は、メモリアレイの一边に配置された列デコーダへのアドレス入力信号として列デコーダの内部を縦走する。半導体記憶装置の高集積化が進むにつれて、このアドレス信号の配線は長くなり、同時にその負荷容量も増大する。

【0009】したがって、従来の半導体記憶装置では、アドレスを切り替えて順次アクセスしていくモードにおいて、アドレスの切り替えのためにデコーダで消費される電力は増加する傾向にあるという問題点がある。

【0010】

【発明が解決しようとする課題】以上のように従来の半導体記憶装置では、高集積化が進むにつれて、アドレス切り替えに要する消費電力が大きくなるという問題があった。本発明は、上記事情に鑑みてなされたものである。シリアルアクセスの際にアドレス切り替えに要する

特開平8-63969

(3)

3

供することを目的とする。

【0011】

【課題を解決するための手段】本発明は、複数のメモリセルをマトリクス状に配置してなるメモリセルアレイを備え、前記メモリセルアレイをあらかじめ決められた順序のアドレスの系列に従ってアクセスする半導体記憶装置において、前記アドレスの系列が、隣接するアドレスのハミング距離を1とするコードの系列で表されたことを特徴とする。

【0012】また、本発明は、与えられたアドレスに従い複数のメモリセルのうち所定のものを選択してアクセスする半導体記憶装置において、前記複数のメモリセルをマトリクス状に配置してなるメモリセルアレイと、前記メモリセルを順次アクセスするためのバイナリコードで表された第1のアドレスの系列を発生するアドレス系列発生回路と、前記第1のアドレスの系列を、隣接するアドレスのハミング距離が1である第2のアドレスの系列に変換するコード変換回路とを備えたことを特徴とする。

【0013】好ましくは、前記第2のアドレスの系列を列アドレスまたは行アドレスとして入力し、該アドレスを順次切り替えて前記メモリセルをアクセスする回路をさらに備えたことを特徴とする。

【0014】また、好ましくは、前記アドレス系列発生回路および前記コード変換回路は、バイナリコードで表された列アドレスおよび行アドレスに対応して夫々備えらるとともに、バイナリコードで表された列アドレスに対応する前記コード変換回路の出力を列アドレスとして入力し、該列アドレスを順次切り替えて前記メモリセルをアクセスする回路と、バイナリコードで表された行アドレスに対応する前記コード変換回路の出力を行アドレスとして入力し、該行アドレスを順次切り替えて前記メモリセルをアクセスする回路とをさらに備えたことを特徴とする。

【0015】

【作用】本発明では、半導体記憶装置が予め決められた順序でメモリセルがアクセスされる動作モードにある場合、順次アクセスされるメモリセルのアドレスが、隣接するアドレスのハミング距離を1とするコードで表されるため、複数のビットで構成されるアドレスが切り替わる時に、状態の変化するビットは常にいずれかの1ビットのみとなる。これに対し、通常のバイナリコードで表されたアドレスを用いた場合には、アドレスが切り替わる際に状態の変化するビットの数は、アドレスの内容により1ビットから全ビットの間で変わる。

【0016】したがって本発明によれば、シリアルアクセスモードにある半導体記憶装置において、状態が遷移するアドレスの数が最少となり、アドレス切り替えに要

4

【0017】

【実施例】以下、図面を参照しながら本発明の実施例を説明する。DRAMのシリアルアクセスモードあるいはフラッシュメモリのページモードなどのように、列方向に順次アドレスを切り替えてデータを連続して高速に読み出す機能を有する半導体記憶装置を例として、実施例を説明する。

【0018】図1は、同実施例に係る半導体記憶装置の主要部分を概略的に示した構成図である。図1のように本実施例の半導体記憶装置は、メモリセルアレイ(MA) 2、センスアンプ(SA) 4、行デコーダ(RD) 6、列デコーダ(CD) 8、行アドレスバッファ(RAB) 10、列アドレスバッファ(CAB) 12、カウンタ(CTR) 14、コード変換回路(CC) 16、マルチプレクサ(MUX) 18、データ入出力回路(DATA) 20から構成される。本実施例では、外部入力されたアドレスを、(変換後の)隣接するアドレスのハミング距離がすべて1であるようなコードに変換するコード変換回路16を設けている点に特徴がある。

【0019】この半導体記憶装置は、データ読み出しにおいては、ランダムアクセス・モードとシリアルデータ読み出しモードを有し、制御信号MSにて切替えて使用できるものとする。

【0020】メモリセルアレイ2は、基本的には複数のワード線WL、複数のビット線BL、ワード線WL及びビット線BLの各交点に配置された複数のメモリセルMCから構成される。

【0021】外部から行アドレスArが行アドレスバッファ10に与えられ、これが行デコーダ6に送られ、アドレスに対応したワード線WLが活性化される。この活性化されたワード線WLに接続されたメモリセルMCのデータが夫々対応したビット線BLに読み出され、夫々のビット線BLのセンスアンプ4に検出されラッチされる。

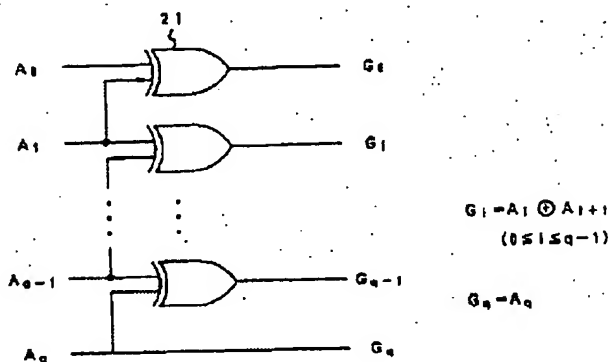
【0022】ランダムアクセスモードでは、列アドレスバッファ12に外部入力された列アドレスAcは、マルチプレクサ18を介して列デコーダ8に送られ、対応するビット線BLのセンスアンプ4にラッチされたデータがデータ線に送られ、データ入出力回路20から外部に読み出される。

【0023】一方、シリアルデータ読み出しモードでは、予め決められた順序でメモリセルが次々とアクセスされる。すなわち、列アドレスバッファ12に外部入力された列アドレスAcは、カウンタ14に送られ、カウンタ14の初期値としてセットされる。カウンタは14、所定の制御信号(例えば外部から入力されるクロック信号CE)に同期して動作し、アドレスをカウントアップする(あるいはカウントダウンする;以下、カウンタについて説明する)。カウンタ14によりカウ

(6)

特開平8-63969

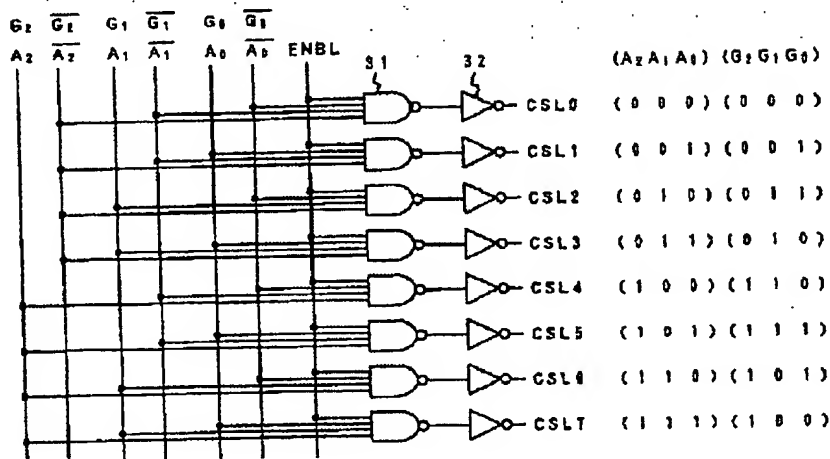
【図2】



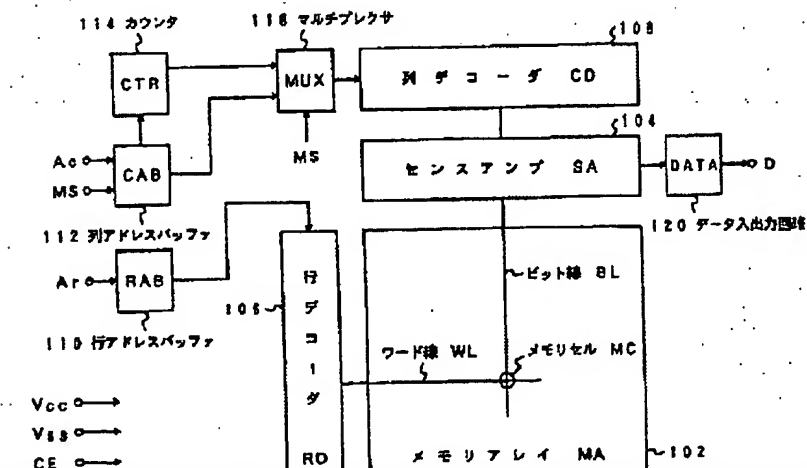
【図5】

十進数	グレイコード
0	0 0 0 0
1	0 0 0 1
2	0 0 1 1
3	0 0 1 0
4	0 1 1 0
5	0 1 1 1
6	0 1 0 1
7	0 1 0 0
8	1 1 0 0
9	1 1 0 1
10	1 1 1 1
11	1 1 1 0
12	1 0 1 0
13	1 0 1 1
14	1 0 0 1
15	1 0 0 0

【図3】



【図6】



(7)

特開平8-63969

フロントページの続き

(51)Int. Cl. *

識別記号

庁内整理番号

F I

技術表示箇所

G 1 1 C 17/00

3 0 9 J